

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06151473 A**

(43) Date of publication of application: 31.05.94

(51) Int. Ct

H01L 21/338
H01L 29/812

(21) Application number: 04298306

(71) Applicant: OKI ELECTRIC IND CO LTD

(22) Date of filing: 09.11.92

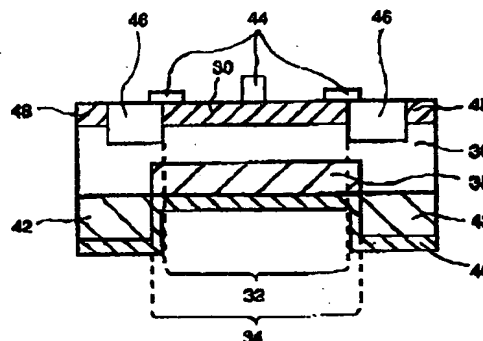
(72) Inventor: ARAI YUKARI

(54) COMPOUND SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57) Abstract:

PURPOSE: To provide such a compound semiconductor element, and its manufacturing method, that the change or fluctuation of its characteristics which usually occurs due to deep levels or surface levels can be suppressed.

CONSTITUTION: In the element, a substrate voided region 34 is provided by removing a GaAs substrate from a region including at least the region 32 immediately below an active layer 30 grown to a crystal of 1,000Å in thickness. The region 34 is provided with a semi-insulating layer 38 and a rear electrode 40 is provided below the layer 38.



COPYRIGHT (C) 1994 JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-151473

(43)公開日 平成 6 年(1994) 5 月31日

(51)Int.Cl.⁵

H 0 1 L 21/338

29/812

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M

H 0 1 L 29/ 80

U

審査請求 未請求 請求項の数 5 (全 10 頁)

(21)出願番号

特願平4-298306

(22)出願日

平成 4 年(1992)11月 9 日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門 1 丁目 7 番12号

(72)発明者 新井 ゆかり

東京都港区虎ノ門 1 丁目 7 番12号 沖電気
工業株式会社内

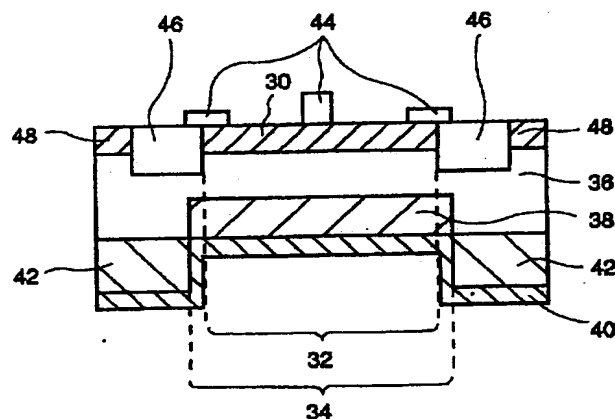
(74)代理人 弁理士 大垣 孝

(54)【発明の名称】 化合物半導体素子およびその製造方法

(57)【要約】

【目的】 深い準位または界面準位に由来する素子特性の変化や変動を抑制することができる化合物半導体素子およびその製造方法を提供すること。

【構成】 1000Å の厚さに結晶成長させた活性層 30 の直下の領域 32 を少なくとも含む領域の GaAs 基板を除去して基板無設領域 34 としてある。この基板無設領域 34 には、半絶縁性層 38 を具え、この半絶縁性層 38 の下に裏面電極 40 が設けてある。



30: 活性層
34: 基板無設領域
38: 半絶縁性層
42: 基板
46: 分離領域

32: 活性層直下の領域
36: バッファ層
40: 裏面電極
44: FET電極
48: n-GaAs層

【特許請求の範囲】

【請求項1】 結晶成長させた活性層を具える化合物半導体素子において、

少なくとも該活性層の直下の領域を基板無設領域とし、該基板無設領域に、結晶成長させた化合物半導体を用いて形成した半絶縁性層を具え、該半絶縁性層の下に裏面電極が設けてあることを特徴とする化合物半導体素子。

【請求項2】 基板上に半絶縁性層を結晶成長させる工程と、

該半絶縁性層の上側に活性層を形成する工程と、該活性層の少なくとも直下の領域の基板部分を除去して前記半絶縁性層を露出させる工程と、該半絶縁性層の下に裏面電極を形成する工程とを含むことを特徴とする化合物半導体素子の製造方法。

【請求項3】 基板上にノンドープのバッファ層を結晶成長させる工程と、

該バッファ層上に活性層を形成する工程と、該活性層の少なくとも直下の領域の基板部分を除去して前記バッファ層を露出させる工程と、該バッファ層に対してイオン注入を行って半絶縁性層を形成する工程と、該半絶縁性層の下に裏面電極を形成する工程とを含むことを特徴とする化合物半導体素子の製造方法。

【請求項4】 請求項2に記載の化合物半導体素子の製造方法において、前記半絶縁性層の結晶成長工程は、下側半絶縁性層、エッチングストップ層および上側半絶縁性層を順次に形成する工程を含むことを特徴とする化合物半導体素子の製造方法。

【請求項5】 請求項3に記載の化合物半導体素子の製造方法において、前記バッファ層の結晶成長工程は、下側バッファ層、エッチングストップ層および上側バッファ層を順次に形成する工程を含むことを特徴とする化合物半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半絶縁性化合物半導体層上に活性層を有する半導体素子の構造およびその製造方法に関する。

【0002】

【従来の技術】従来、例えばガリウムヒ素電界効果トランジスタ(GaAsFET)等の化合物半導体素子を製造する場合、一般に、活性層は化合物半導体基板上に形成している。

【0003】以下、図面を参照して、従来例のGaAsFETの製造方法について説明する。図10の(A)～(D)は、従来のGaAsFETの製造方法の工程図である。各図は、主要工程段階での半導体素子の断面図で

ある。

【0004】先ず、GaAs基板10上に、不純物をドーピングしないアンドープ層であるバッファ層12として高純度のGaAs層を、数1000Å(数100nm)(但し、Åはオングストロームを表す)～数μmの厚さに成長させる。このバッファ層12は、GaAs基板10に存在する転位等の欠陥が後述の活性層14へ拡散するのを防ぐために設ける。

【0005】次に、バッファ層12上に、活性層14としてN型GaAs層14を成長させた後、素子間分離イオン注入部16を設ける(図10の(A))。

【0006】その後、活性層14上にゲート電極18、ドレイン電極20およびソース電極22を設けてトランジスタ構造を形成する(図10の(B))。実際の半導体素子では、多層配線構造として層間絶縁膜と配線金属とを有し、さらに、素子の表面に表面保護膜を設ける(図示せず)。

【0007】次に、基板10を基板裏面(基板のトランジスタ構造を形成した面の裏側の面)側から研磨し、基板の厚さを100～300μmにする(図10の(C))。

【0008】研磨後、基板10aの裏面に裏面電極24を形成する。裏面電極24を形成することにより、半導体素子の基板裏面側の電位を固定することができる(図10の(D))。

【0009】ところで、GaAs基板の導電型は、一般的に、N型、P型および半絶縁性のうちいずれでも良いが、中でも半絶縁性の導電型の基板が、トランジスタを含む集積回路の応用で広く用いられている。これは、半絶縁性基板が、 $10^7 \sim 10^8 \Omega \cdot \text{cm}$ 程度の高い抵抗率を有するため、半絶縁性の基板を用いると、半導体素子の活性層と基板との間の降伏電圧が増大し、また、優れた素子間分離特性を示し、さらに、配線等の対地寄生容量を抑制することができるからである。

【0010】従来、半絶縁性基板を高抵抗率とするため、通常は、基板中の残留不純物による準位の浅いドナーまたは浅いアクセプタを、結晶欠陥や意図的に添加した不純物による深いドナーまたは深いアクセプタで補償することにより、フェルミレベルをバンドギャップの中央に固定している。

【0011】例えば、液体封止引き上げ法を用いてバルク成長したアンドープの半絶縁性GaAs基板では、カーボン(C)等の残留不純物による浅いアクセプタをEL2と呼ばれるバンドギャップ中心付近の深い準位で補償している。また、クロム(Cr)を添加した半絶縁性基板では、残留シリコンによる浅いドナーを深いアクセプタであるクロムで補償している。

【0012】従って、半絶縁性基板には、様々なエネルギーレベルの深い準位が様々な濃度で存在する。

【0013】通常、従来の化合物半導体素子では、活性

層直下の領域に半絶縁性基板を有している。この基板には、基板の種類、結晶成長前処理または結晶成長および成長後の処理条件によって、様々なエネルギーレベルの深い準位が様々な濃度で存在している。また、バルク成長して形成した半絶縁性基板とこの半絶縁性基板上に結晶成長して形成した成長層との界面には、基板の種類、結晶成長前処理または結晶成長条件等によって様々なエネルギーレベルの界面準位が様々な濃度で存在している。これらの準位が電子やホールトラップとして振舞うと、これらの準位にキャリアが補足される。補足されるキャリアの数は、素子に印加される電圧やキャリア濃度によって変化する。さらに、それぞれの準位におけるキャリアの捕獲または放出の過程には、それぞれ固有の時間定数が存在する。

【0014】その結果、深い準位または界面準位に起因する、素子特性の変化や変動が引き起こされることがある。例えば、半絶縁性基板を用いたFET素子の場合、深い準位または界面準位に起因して、閾値電流の変化、ドレイン電流およびドレインコンダクタンスの過渡応答、ドレイン電流およびドレインコンダクタンスの、素子に印加される信号の周波数に対する依存性の変動、または、サイドゲート効果といった素子特性の変化や変動等が引き起こされることがある。

【0015】従って、半絶縁性基板を用いて化合物半導体素子を形成した場合、上述した素子特性の変化や変動が起こらない様にすることが望ましい。

【0016】

【発明が解決しようとする課題】しかしながら、半絶縁性基板をバルク成長させるときに、高抵抗率を保ったまま深い準位のエネルギーレベルおよび濃度を制御することは著しく困難である。また、半絶縁性基板を具えた素子を構成した後で半絶縁性基板の深い準位および界面準位のエネルギーレベルおよび濃度を制御することも著しく困難である。このため、上述した素子特性の変化や変動が生じてしまう。

【0017】従って、この発明の目的は、半絶縁性基板における深い準位または界面準位に起因する素子特性の変化や変動を抑制することができる化合物半導体素子およびその製造方法を提供することである。

【0018】

【課題を解決するための手段】この目的の達成を図るため、この発明の化合物半導体素子およびその製造方法によれば、結晶成長させた活性層を具える化合物半導体素子において、少なくとも活性層の直下の領域を基板無設領域とし、基板無設領域に、結晶成長させた化合物半導体を用いて形成した半絶縁性層を具え、半絶縁性層の下に裏面電極が設けられていることを特徴とする。

【0019】また、化合物半導体素子を製造するにあたり、基板上に半絶縁性層を結晶成長させる工程と、半絶縁性層の上側に活性層を形成する工程と、活性層の少な

くとも直下の領域の基板を除去して半絶縁性層を露出させる工程と、半絶縁性層の下に裏面電極を形成する工程とを含むことを特徴とする。

【0020】また、化合物半導体素子を製造するにあたり、基板上にノンドープのバッファ層を結晶成長させる工程と、このバッファ層上に活性層を形成する工程と、活性層の少なくとも直下の領域の基板を除去してバッファ層を露出させる工程と、バッファ層に対してイオン注入を行って半絶縁性層を形成する工程と、半絶縁性層の下に裏面電極を形成する工程とを含むことを特徴とする。

【0021】また、好ましくは、化合物半導体素子の製造方法において、半絶縁性層の結晶成長工程は、下側半絶縁性層、エッチングストップ層および上側半絶縁性層を順次に形成する工程を含むと良い。

【0022】また、好ましくは、化合物半導体素子の製造方法において、バッファ層の結晶成長工程は、下側半絶縁性層、エッチングストップ層および上側半絶縁性層を順次に形成する工程を含むと良い。

【0023】

【作用】この発明の化合物半導体素子およびその製造方法によれば、少なくとも活性層直下の領域ではバルク成長させて形成した基板を除去しているため、界面準位を除くことができる。さらに、基板を除去してしまうので、基板の種類等によらず、基板中の深い準位に起因する半導体素子特性の変化や変動を除くことができる。また、半絶縁性層を結晶成長によって形成するため、結晶成長条件およびイオン注入条件の制御によって、深い準位の半導体素子特性への影響を、基板の種類等によらず、経験的に予測し得る範囲に抑制することができる。

【0024】

【実施例】以下、図面を参照して、この発明の化合物半導体素子およびその製造方法の実施例について説明する。尚、以下に参照する図は、この発明が理解できる程度に各構成成分の大きさ、形状および配置関係を概略的に示してあるにすぎない。従って、この発明は、図示例に限定されるものではないことは明らかである。

【0025】第1実施例

以下、この発明の第1実施例を説明する。図1は、この発明の実施例の説明に供する断面図である。尚、図は、断面を表すハッチング等を一部分省略して示してある。

【0026】図1に示す様に、この実施例の化合物半導体素子は、1000Åの厚さに結晶成長させた活性層30を具えている。そして、少なくともこの活性層30の直下の領域32のGaAs基板を除去して基板無設領域34としてある。この基板無設領域34には、アンドープのGaAsのバッファ層36と半絶縁性層38と、この半絶縁性層38の下面の裏面電極40とが設けられている。尚、この半絶縁性層38は、結晶成長させた化合物半導体を用いて形成してある。一方、基板無設領域34

の両脇の領域にはそれぞれバルク成長によって形成した基板部分42が残されている。また、活性層30の周囲にイオンを注入して分離領域46をそれぞれ設けてある。さらに、分離領域46の外側には、活性層でないn-GaAs層48が形成されている。

【0027】上述の実施例では、半絶縁性層38を基板無設領域34にのみ設けたが、この発明の化合物半導体素子では、半絶縁性層38を、基板無設領域34を含むさらに広い領域にわたって設けても良い。また、上述の実施例では、活性層30の下に半絶縁性層38をバッファ層36を介して形成してあるが、この発明では、バッファ層36の部分を除いて半絶縁性層38の上に直接活性層を設けても良い。

【0028】第2実施例

次に、この発明の第2実施例を説明する。図2の(A)～(B)は第2実施例を説明する前半の工程図であり、図3の(A)～(B)は、図2の(B)に続く後半の工程図である。各図は、主要工程段階で得られた構造体の状態を断面で概略的に示している。尚、図は、断面を表すハッチング等を一部分省略して示してある。

【0029】先ず、基板42上に半絶縁性層38を結晶成長させる。第2実施例では、GaAs基板42上に、バナジウム(V)をドーブしたGaAsの半絶縁性層38をMOCVD法により10 μ mの厚さにエピタキシャル成長する。この半絶縁性層38の抵抗率は室温で10⁸ $\Omega\cdot$ cm程度であり、通常の半絶縁性基板の抵抗率と同じレベルである。しかし、この半絶縁性層38の抵抗率は、結晶成長時にバナジウムの供給量等によってドナー濃度およびアクセプタ濃度を変えることにより変えることができる(図2の(A))。

【0030】次に、半絶縁性層38の上側に活性層30を形成する。第2実施例では、半絶縁性層38の上にバッファ層36として高純度アンドープGaAs層36を1 μ mの厚さに成長させ、その上に、FETのチャネル層となる活性層30として高純度n-GaAs層30を1000 \AA の厚さに結晶成長させる。その後、従来と同様の方法で、素子間分離のための分離領域46を酸素イオンを注入して形成し、その後、FET電極(ゲート、ドレインおよびソース電極)44を形成する(図2の(B))。

【0031】次に、活性層30の少なくとも直下の領域32の基板を除去して半絶縁性層38の下面を露出させる。第2実施例では、基板42の裏面側から機械的研磨を行って、数 μ mの厚さの残存基板42aを残して除去する。その後、研磨によって生じたマイクロクラックを含む研磨ダメージ層を含む残存基板42a全てと、基板42上に成長させた半絶縁性層38の一部をエッチングにより除去して半絶縁性層38の下面を露出させて図3の(A)に示す構造体を得る。

【0032】次に、露出させた半絶縁性層38の下面に

電子ビーム法または電界メッキ法を用いて裏面電極40を形成し、素子の裏面電位の固定を図る(図3の(B))。

【0033】以上の工程を経てこの実施例の化合物半導体素子を製造する。

【0034】第2実施例では、半絶縁性層38の上側にバッファ層36を介して活性層30を成長させたが、この発明では、半絶縁性層の上に直接活性層を成長させても良い。

【0035】第3実施例

次に、この発明の第3実施例を説明する。図4の(A)～(B)は、第3実施例を説明する前半の工程図であり、図5の(A)～(C)は、図4の(B)に続く後半の工程図である。各図は、主要段階での断面図である。尚、図は、断面を表すハッチング等を一部分省略して示してある。

【0036】先ず、基板42上にノンドープのバッファ層36を結晶成長させる。第3実施例では、GaAs基板42上に、直接バッファ層36として高純度アンドープGaAs層36を10 μ mの厚さに成長させる(図4の(A))。

【0037】次に、バッファ層36上に活性層30を形成する。第3実施例では、バッファ層36上にFETのチャネル層である活性層30として高純度n-GaAs層30を1000 \AA の厚さに結晶成長させて形成する。その後、従来と同様の方法で、素子間分離のための分離領域46を酸素イオンを注入して形成し、その後、FET電極44を形成する(図4の(B))。

【0038】次に、活性層30の少なくとも直下の領域32の基板42の部分を除去してバッファ層36の下面を露出させる。第3実施例では、基板42の裏面側から機械的研磨を行って、数 μ mの厚さの残存基板42aを残して除去する。その後、研磨によって生じたマイクロクラックを含む研磨ダメージ層を含む残存基板42a全てと、基板42上に成長させたバッファ層36の一部をエッチングにより除去してバッファ層36を露出させる(図5の(A))。

【0039】次に、バッファ層36に対してイオン注入を行って半絶縁性層38を形成する。第3実施例では、露出させたバッファ層36の下側から、例えば水素イオンまたは酸素イオンなどを注入して半絶縁性層38を形成する(図5の(B))。

【0040】次に、半絶縁性層38の下に電子ビーム法または電界メッキ法を用いて裏面電極40を形成し、素子の裏面電位の固定を図る(図5の(C))。

【0041】以上の工程を経てこの実施例の化合物半導体素子を製造する。

【0042】第4実施例

次に、この発明の第4実施例を説明する。図6の(A)～(C)は、第4実施例を説明する前半の工程図であ

り、図7の(A)～(B)は、図6の(C)に続く後半の工程図である。各図は、主要段階での断面図である。尚、図は、断面を表すハッチング等を一部分省略して示してある。

【0043】 先ず、基板上に、下側および上側半絶縁性層38aおよび38b間にエッチング停止層50を挟んだ半絶縁性層を形成する。この下側および上側半絶縁性層38aおよび38b全体で半絶縁性層38を構成している。第4実施例では、GaAs基板42上に、バナジウム(V)をドーブしたGaAsの下側半絶縁性層38aをMOCVD法により数100Åの厚さにエピタキシャル成長する。次に、この下側半絶縁性層38aの上にエッチング停止層50としてAlGaAs層50を50Åの厚さに成長させる。さらにその上にバナジウムをドーブしたGaAsの上側半絶縁性層38bを成長させる。(図6の(A))。

【0044】 次に、上側半絶縁性層38bの上側に活性層30を形成する。第4実施例ではそのため、先ず、上側半絶縁性層38b上に高純度アンドーブGaAsのバッファ層36を1μmの厚さに成長させ、その上にFETのチャネル層となる活性層30として高純度n-GaAs層を1000Åの厚さに結晶成長させる。その後、従来と同様の方法で、素子間分離のための分離領域46を酸素イオンを注入して形成し、その後、FET電極44を形成する(図6の(B))。

【0045】 次に、活性層30の少なくとも直下の領域の基板42の部分を除去して半絶縁性層38を露出させる。第4実施例では、基板42の裏面側から機械的研磨を行って100～200μmの厚さの残存基板42aを残して除去する。次に、研磨して得られた基板部分42aの裏面の領域の中、少なくとも活性層直下の領域を除いた領域に通常のホテルソグラフィ技術を用いて、マスクパターン54を形成する。従って、活性層直下に対応する基板部分42aの領域を露出する開口部52が形成される(図6の(C))。このホテルソグラフィを行うに当たっては、両面マスクアライナを用い、研磨した基板表面側の活性層の直下の領域と、残存基板42a裏面側のマスクパターン52の開口部54の領域との位置合わせ(アライメント)することができる。

【0046】 次に、残存基板42aの裏面側から、マスクパターン52を介して反応性イオンエッチング(RIE)を行う。エッチングガスには、三塩化ホウ素(BCl₃)、塩素(Cl₂)および六フッ化硫黄(SF₆)の混合ガスを用いる。このドライエッチングは、エッチング停止層50で停止させて、開口部54に対応する基板部分と下側半絶縁性層38aを除去する。続いて、エッチング停止層50および上側半絶縁性層38b中のドライエッチングによるダメージ層(図示せず)に対し、両層合わせて数10～数100Åの深さまでエッチングを行って上側半絶縁性層38bを露出させる。この2

段階のエッチング工程を経ることにより、残存積層体の厚さを均一にする様に基板等の部分を除去することにより、図7の(A)に示すような構造体を得る。

【0047】 次に、マスクパターン52を除去した後、主として露出させた上側半絶縁性層38bの下に電子ビーム法または電界メッキ法を用いて裏面電極40を形成して素子の裏面電位の固定を図る(図7の(B))。

【0048】 以上の工程を経て化合物半導体素子を製造する。

【0049】 第5実施例

次に、この発明の第5実施例を説明する。図8の(A)～(C)は、第5実施例を説明する工程図であり、図9の(A)～(C)は、図8の(C)に続く後半の工程図である。各図は、主要段階での断面図である。尚、図は、断面を表すハッチング等を一部分省略して示してある。

【0050】 先ず、基板42上に下側および上側バッファ層36aおよび36b間にエッチング停止層を挟んだバッファ層36を形成する。この下側および上側バッファ層36aおよび36b全体でバッファ層36を構成している。第5実施例では、GaAs基板42上に、直接下側バッファ層36aとして高純度アンドーブGaAs層をMOCVD法により数100Åの厚さにエピタキシャル成長させる。次に、この下側バッファ層36aの上にエッチング停止層50としてAlGaAs層を50Åの厚さに成長させる。さらにその上に上側バッファ層36bとして高純度アンドーブGaAs層をMOCVD法により成長させる(図8の(A))。

【0051】 次に、この上側バッファ層36b上に活性層30を形成する。第5実施例では、上側バッファ層36bの上にFETのチャネル層となる活性層30として高純度n-GaAs層を1000Åの厚さに結晶成長させる。その後、従来と同様の方法で、素子間分離のための分離領域46を酸素イオンを注入して形成し、その後、FET電極44を形成する(図8の(B))。

【0052】 次に、活性層30の少なくとも直下の領域の基板42の部分を除去してバッファ層36を露出させる。第5実施例では、基板42の裏面側から機械的研磨を行って100～200μmの厚さの残存基板42aを残して除去する。次に、研磨して得られた残存基板42aの裏面の領域の中、少なくとも活性層直下の領域を除いた領域に通常のホテルソグラフィ技術を用いて、マスクパターン52を形成する。従って、活性層直下に対応する部分の残存基板42aの領域を露出する開口部54が形成される(図8の(C))。このホテルソグラフィを行うに当たっては、両面マスクアライナを用い、研磨した基板表面側の活性層の直下の領域と、残存基板42a裏面側のマスクパターン52の開口部54の領域との位置合わせ(アライメント)することができる。

【0053】 次に、残存基板42aの裏面側から、マス

クパターン54を介して反応性イオンエッチング(RIE)を行う。エッチングガスには、三塩化ホウ素(BCl_3)、塩素(Cl_2)および六フッ化硫黄(SF_6)の混合ガスを用いる。このドライエッチングは、エッチング停止層50で停止させて、開口部54に対応する基板部分と下側バッファ層36aを除去する。続いて、エッチング停止層50および上側バッファ層36b中のドライエッチングによるダメージ層(図示せず)に対し、両層合わせて数10〜数100Åの深さまでエッチングを行って上側バッファ層36bを露出させる。この2段階のエッチング工程を経ることにより、残存積層体の厚さを均一にする様に基板等の部分を除去することにより、図9の(A)に示すような構造体を得る。

【0054】次に、上側バッファ層36bに対してイオン注入を行って半絶縁性層38を形成する。第5実施例では、露出した上側バッファ層36bの部分に対して水素イオンまたは酸素イオンなどを注入して半絶縁性層38を形成する(図9の(B))。裏面全面にイオンを照射した場合、露出したバッファ層36b部分だけではなく、除去されなかった基板部分43にもイオンが注入される。しかし、形成する半絶縁性層38の厚さに比べて、基板43の厚さの方がはるかに厚いので、半絶縁性層と、基板部分43中のイオン注入層とが電氣的に連続になることは無い。また、活性層直下の領域以外の基板の素子特性に与える悪影響は無い。

【0055】次に、主として露出させた半絶縁性層38の下に電子ビーム法または電界メッキ法を用いて裏面電極40を形成して素子の裏面電位の固定を図る(図9の(C))。

【0056】以上の工程を経てこの実施例の化合物半導体素子を製造する。

【0057】上述の各実施例では、この発明を、特定の材料を使用し、また、特定の条件で構成した例につき説明したが、この発明は多くの変更および変形を行うことができる。例えば、上述した実施例では、基板としてGaAs基板を用いたが、この発明では、基板を化合物半導体に限定する必要は無い。また、上述した実施例3および4では、研磨した基板に対してドライエッチングを行ったが、このエッチング工程は、例えば、アンモニア、過酸化水素水、水の混合液を用いたウェットエッチングを用いても良い。また、第4および第5実施例では、基板とエッチング停止層との間にバッファ層を形成したが、この発明では、基板上に直接エッチング停止層を形成しても良い。また、基板の一部の領域のみを除去する場合には、例えば、MMIC(モノリシックマイクロ波IC)の製造時に、基板を貫通する穴を部分的に設ける場合に用いるバイアホール作成プロセスを応用することもできる。

【0058】

【発明の効果】この発明の化合物半導体素子およびその

製造方法によれば、活性層の直下の領域では、バルク成長させて形成した基板を除去しているため、界面準位を除去することができる。さらに、基板を除去してしまうので、基板の種類等によらず、基板中の深い準位に起因する半導体素子特性の変化や変動を除去することができる。また、半絶縁性層を結晶成長によって形成するため、結晶成長条件およびイオン注入条件の制御によって、深い準位の半導体素子特性への影響を、基板の種類等によらず、経験的に予測し得る範囲に抑制することができる。

【0059】また、例えば、エッチング停止膜を形成すると、基板の除去時により均一な深さでエッチングすることができる。このため、一部の領域のみ基板を除去する場合にもローディング効果を抑えることができる。

【0060】また、例えば、基板無設領域以外の基板を残すと、基板を全て除去した場合に比べて素子全体の強度が増し、素子の製造時の取扱が容易になる。

【図面の簡単な説明】

【図1】この発明の第1実施例の説明に供する断面構造図である。

【図2】(A)〜(B)は、この発明の第2実施例の説明に供する前半の工程図である。

【図3】(A)〜(B)は、この発明の第2実施例の説明に供する後半の工程図である。

【図4】(A)〜(B)は、この発明の第3実施例の説明に供する前半の工程図である。

【図5】(A)〜(C)は、この発明の第3実施例の説明に供する後半の工程図である。

【図6】(A)〜(C)は、この発明の第4実施例の説明に供する前半の工程図である。

【図7】(A)〜(B)は、この発明の第4実施例の説明に供する後半の工程図である。

【図8】(A)〜(C)は、この発明の第5実施例の説明に供する前半の工程図である。

【図9】(A)〜(C)は、この発明の第5実施例の説明に供する後半の工程図である。

【図10】(A)〜(D)は、従来の半導体素子およびその製造方法の説明に供する工程図である。

【符号の説明】

10: GaAs 基板	12: バッファ層
14: 活性層	16: 素子間分離
イオン注入部	
18: ゲート電極	20: ドレイン電極
22: ソース電極	24: 裏面電極
30: 活性層	32: 活性層直下の領域
34: 基板無設領域	36: バッファ層
36a: 下側バッファ層	36b: 上側バッファ層
38: 半絶縁性層	38a: 下側半絶

緑性層

38b: 上側半絶縁性層

42: 基板

43: 基板部分

46: 分離領域

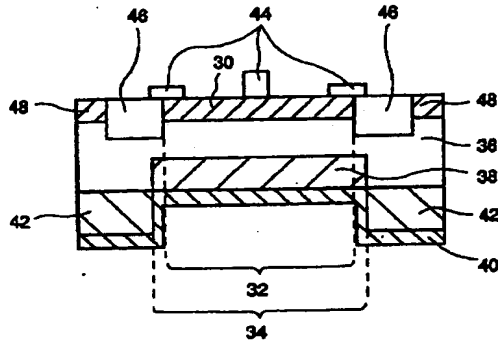
40: 裏面電極

42a: 残存基板

44: FET電極

48: n-GaAs

【図1】



30: 活性層
32: 活性層下の領域
34: 基板無設領域
36: バッファ層
38: 半絶縁性層
40: 裏面電極
42: 基板
44: FET電極
46: 分離領域
48: n-GaAs層

第1実施例

s層

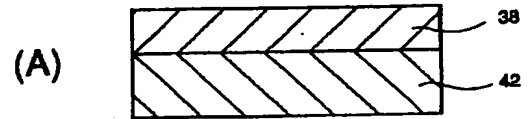
50: エッチング停止層

ー

54: 開口部

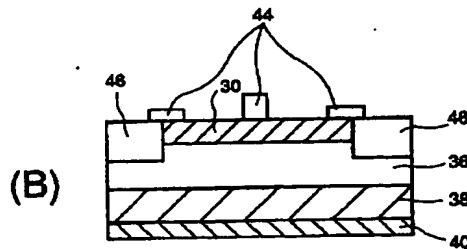
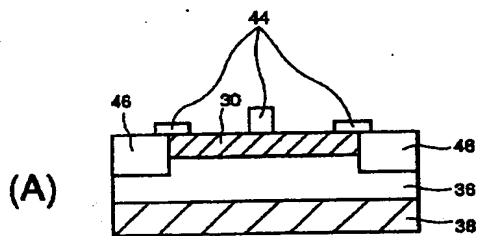
52: マスクパタ

【図2】



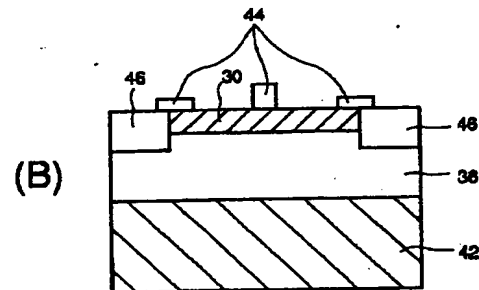
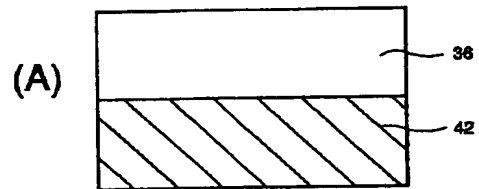
第2実施例前半工程図

【図3】



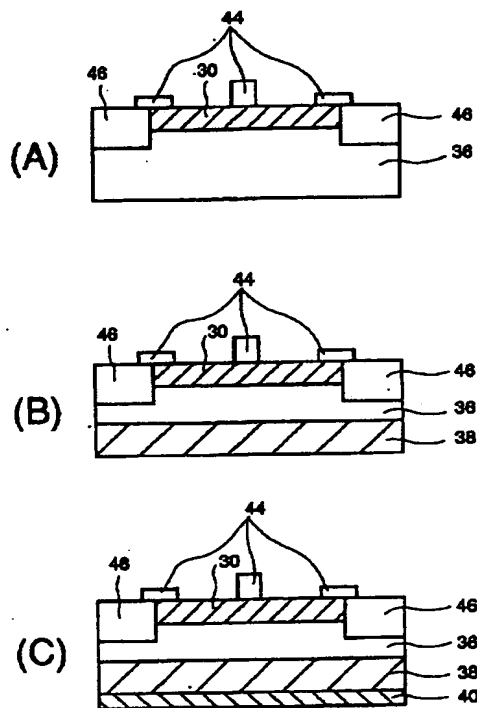
第2実施例後半工程図

【図4】



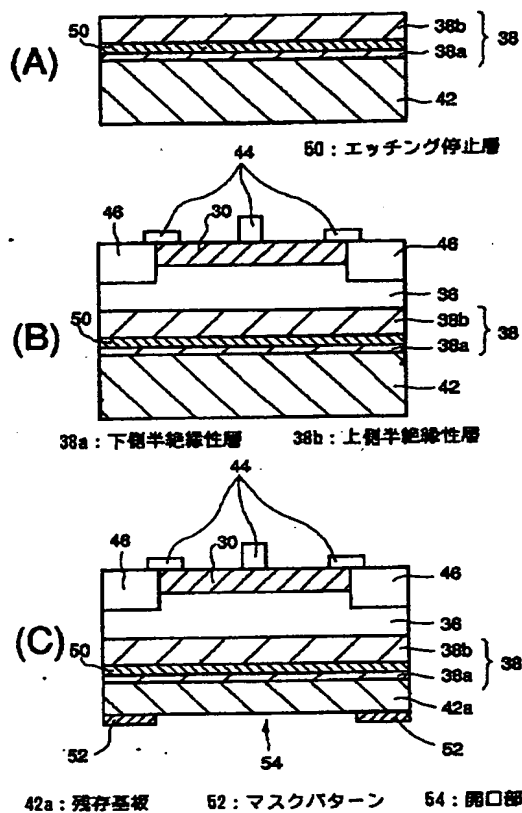
第3実施例前半工程図

【図5】



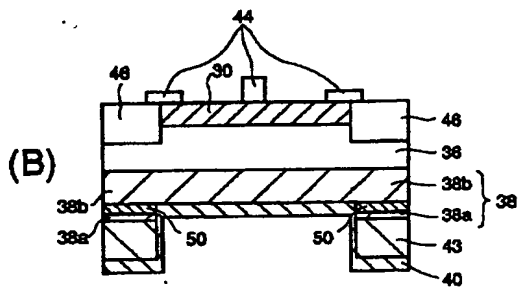
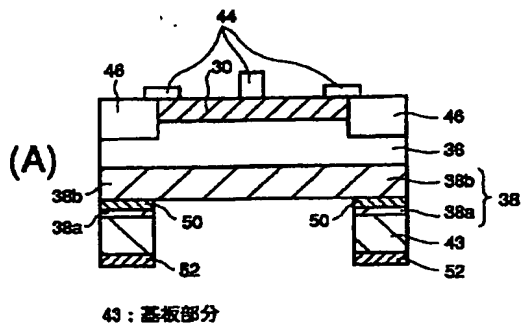
第3実施例後半工程図

【図6】



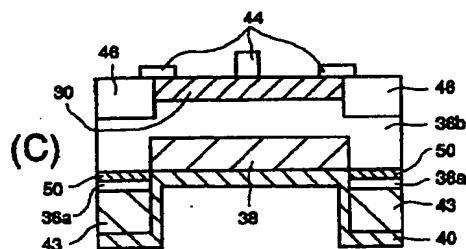
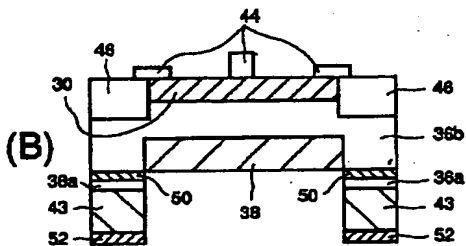
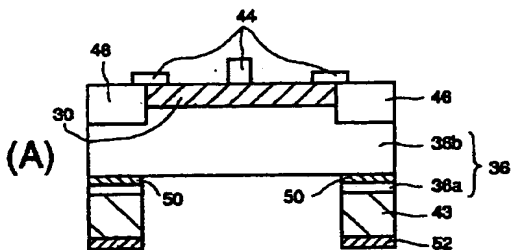
第4実施例前半工程図

【図7】



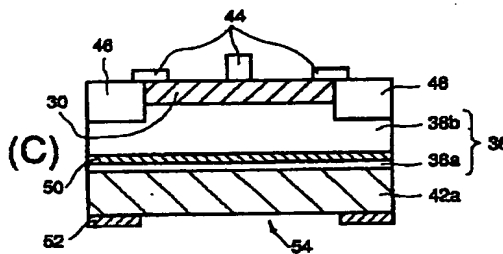
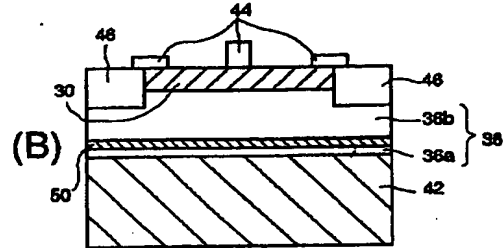
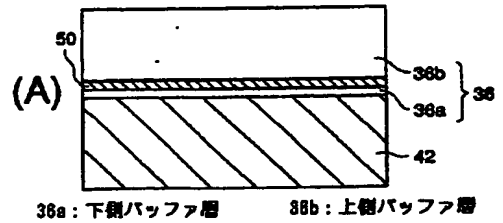
第4実施例後半工程図

【図9】



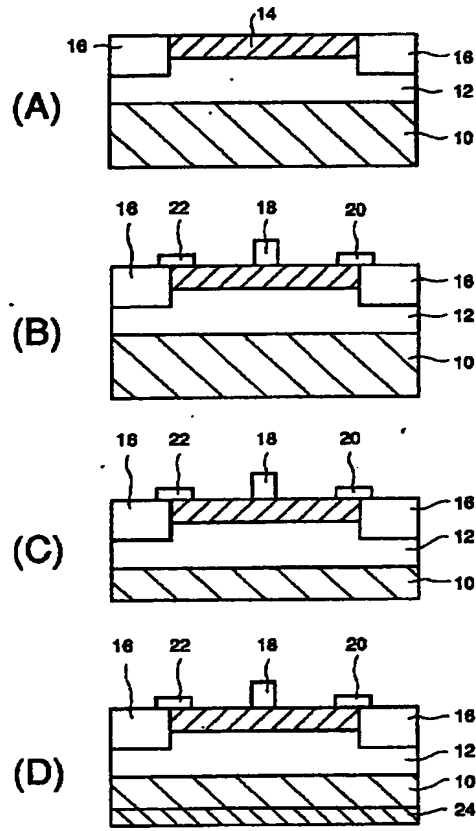
第5実施例後半工程図

【図8】



第5実施例前半工程図

【図10】



従来例